

(11)特許出願公開番号

(43)公開日 平成7年(1995)12月22日

審査請求 未請求 請求項の数11 OL (全 12 頁)

**最終頁に続く**

The diagram illustrates a multi-channel signal processing system. On the left, a dashed box labeled 300 contains a series of input channels. Each channel consists of a switch (303, 304, 305, 306, 307, 308) and a filter (311, 312, 313, 314, 315, 316). The outputs of these channels are fed into a central processing unit 351. This unit is connected to a memory unit 352 via a bidirectional bus labeled 451. The memory unit 352 is also connected to a control unit 353. The control unit 353 is connected to a series of output channels (354, 355, 356, 357, 358, 359) which are connected to a common output bus 360. The output bus 360 is connected to a series of output devices (361, 362, 363, 364, 365, 366). The output devices are connected to a common output bus 367. The output bus 367 is connected to a series of output devices (368, 369, 370, 371, 372, 373). The output devices are connected to a common output bus 374. The output bus 374 is connected to a series of output devices (375, 376, 377, 378, 379, 380). The output devices are connected to a common output bus 381. The output bus 381 is connected to a series of output devices (382, 383, 384, 385, 386, 387). The output devices are connected to a common output bus 388. The output bus 388 is connected to a series of output devices (389, 390, 391, 392, 393, 394). The output devices are connected to a common output bus 395. The output bus 395 is connected to a series of output devices (396, 397, 398, 399, 400, 401). The output devices are connected to a common output bus 402. The output bus 402 is connected to a series of output devices (403, 404, 405, 406, 407, 408). The output devices are connected to a common output bus 409. The output bus 409 is connected to a series of output devices (410, 411, 412, 413, 414, 415). The output devices are connected to a common output bus 416. The output bus 416 is connected to a series of output devices (417, 418, 419, 420, 421, 422). The output devices are connected to a common output bus 423. The output bus 423 is connected to a series of output devices (424, 425, 426, 427, 428, 429). The output devices are connected to a common output bus 430. The output bus 430 is connected to a series of output devices (431, 432, 433, 434, 435, 436). The output devices are connected to a common output bus 437. The output bus 437 is connected to a series of output devices (438, 439, 440, 441, 442, 443). The output devices are connected to a common output bus 444. The output bus 444 is connected to a series of output devices (445, 446, 447, 448, 449, 450). The output devices are connected to a common output bus 451. The output bus 451 is connected to a series of output devices (452, 453, 454, 455, 456, 457). The output devices are connected to a common output bus 458. The output bus 458 is connected to a series of output devices (459, 460, 461, 462, 463, 464). The output devices are connected to a common output bus 465. The output bus 465 is connected to a series of output devices (466, 467, 468, 469, 470, 471). The output devices are connected to a common output bus 472. The output bus 472 is connected to a series of output devices (473, 474, 475, 476, 477, 478). The output devices are connected to a common output bus 479. The output bus 479 is connected to a series of output devices (480, 481, 482, 483, 484, 485). The output devices are connected to a common output bus 486. The output bus 486 is connected to a series of output devices (487, 488, 489, 490, 491, 492). The output devices are connected to a common output bus 493. The output bus 493 is connected to a series of output devices (494, 495, 496, 497, 498, 499). The output devices are connected to a common output bus 500. The output bus 500 is connected to a series of output devices (501, 502, 503, 504, 505, 506). The output devices are connected to a common output bus 507. The output bus 507 is connected to a series of output devices (508, 509, 510, 511, 512, 513). The output devices are connected to a common output bus 514. The output bus 514 is connected to a series of output devices (515, 516, 517, 518, 519, 520). The output devices are connected to a common output bus 521. The output bus 521 is connected to a series of output devices (522, 523, 524, 525, 526, 527). The output devices are connected to a common output bus 528. The output bus 528 is connected to a series of output devices (529, 530, 531, 532, 533, 534). The output devices are connected to a common output bus 535. The output bus 535 is connected to a series of output devices (536, 537, 538, 539, 540, 541). The output devices are connected to a common output bus 542. The output bus 542 is connected to a series of output devices (543, 544, 545, 546, 547, 548). The output devices are connected to a common output bus 549. The output bus 549 is connected to a series of output devices (550, 551, 552, 553, 554, 555). The output devices are connected to a common output bus 556. The output bus 556 is connected to a series of output devices (557, 558, 559, 560, 561, 562). The output devices are connected to a common output bus 563. The output bus 563 is connected to a series of output devices (564, 565, 566, 567, 568, 569). The output devices are connected to a common output bus 570. The output bus 570 is connected to a series of output devices (571, 572, 573, 574, 575, 576). The output devices are connected to a common output bus 577. The output bus 577 is connected to a series of output devices (578, 579, 580, 581, 582, 583). The output devices are connected to a common output bus 584. The output bus 584 is connected to a series of output devices (585, 586, 587, 588, 589, 590). The output devices are connected to a common output bus 591. The output bus 591 is connected to a series of output devices (592, 593, 594, 595, 596, 597). The output devices are connected to a common output bus 598. The output bus 598 is connected to a series of output devices (599, 600, 601, 602, 603, 604). The output devices are connected to a common output bus 605. The output bus 605 is connected to a series of output devices (606, 607, 608, 609, 610, 611). The output devices are connected to a common output bus 612. The output bus 612 is connected to a series of output devices (613, 614, 615, 616, 617, 618). The output devices are connected to a common output bus 619. The output bus 619 is connected to a series of output devices (620, 621, 622, 623, 624, 625). The output devices are connected to a common output bus 626. The output bus 626 is connected to a series of output devices (627, 628, 629, 630, 631, 632). The output devices are connected to a common output bus 633. The output bus 633 is connected to a series of output devices (634, 635, 636, 637, 638, 639). The output devices are connected to a common output bus 640. The output bus 640 is connected to a series of output devices (641, 642, 643, 644, 645, 646). The output devices are connected to a common output bus 647. The output bus 647 is connected to a series of output devices (648, 649, 650, 651, 652, 653). The output devices are connected to a common output bus 654. The output bus 654 is connected to a series of output devices (655, 656, 657, 658, 659, 660). The output devices are connected to a common output bus 661. The output bus 661 is connected to a series of output devices (662, 663, 664, 665, 666, 667). The output devices are connected to a common output bus 668. The output bus 668 is connected to a series of output devices (669, 670, 671, 672, 673, 674). The output devices are connected to a common output bus 675. The output bus 675 is connected to a series of output devices (676, 677, 678, 679, 680, 681). The output devices are connected to a common output bus 682. The output bus 682 is connected to a series of output devices (683, 684, 685, 686, 687, 688). The output devices are connected to a common output bus 689. The output bus 689 is connected to a series of output devices (690, 691, 692, 693, 694, 695). The output devices are connected to a common output bus 696. The output bus 696 is connected to a series of output devices (697, 698, 699, 700, 701, 702). The output devices are connected to a common output bus 703. The output bus 703 is connected to a series of output devices (704, 705, 706, 707, 708, 709). The output devices are connected to a common output bus 710. The output bus 710 is connected to a series of output devices (711, 712, 713, 714, 715, 716). The output devices are connected to a common output bus 717. The output bus 717 is connected to a series of output devices (718, 719, 720, 721, 722, 723). The output devices are connected to a common output bus 724. The output bus 724 is connected to a series of output devices (725, 726, 727, 728, 729, 730). The output devices are connected to a common output bus 731. The output bus 731 is connected to a series of output devices (732, 733, 734, 735, 736, 737). The output devices are connected to a common output bus 738. The output bus 738 is connected to a series of output devices (739, 740, 741, 742, 743, 744). The output devices are connected to a common output bus 745. The output bus 745 is connected to a series of output devices (746, 747, 748, 749, 750, 751). The output devices are connected to a common output bus 752. The output bus 752 is connected to a series of output devices (753, 754, 755, 756, 757, 758). The output devices are connected to a common output bus 759. The output bus 759 is connected to a series of output devices (760, 761, 762, 763, 764, 765). The output devices are connected to a common output bus 766. The output bus 766 is connected to a series of output devices (767, 768, 769, 770, 771, 772). The output devices are connected to a common output bus 773. The output bus 773 is connected to a series of output devices (774, 775, 776, 777, 778, 779). The output devices are connected to a common output bus 780. The output bus 780 is connected to a series of output devices (781, 782, 783, 784, 785, 786). The output devices are connected to a common output bus 787. The output bus 787 is connected to a series of output devices (788, 789, 790, 791, 792, 793). The output devices are connected to a common output bus 794. The output bus 794 is connected to a series of output devices (795, 796, 797, 798, 799, 800). The output devices are connected to a common output bus 801. The output bus 801 is connected to a series of output devices (802, 803, 804, 805, 806, 807). The output devices are connected to a common output bus 808. The output bus 808 is connected to a series of output devices (809, 810,

1

## 【特許請求の範囲】

【請求項1】 入力される多階調表示データに応じて所定の電圧レベルが選択されて画像表示を行なう多階調表示装置において、

複数の表示画素を備えた表示パネルと、

m (mは2以上の正の整数) フレーム期間で一表示階調が得られる第1階調パターンを備えた第1階調パターン発生回路と、

mフレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを備えた第2階調パターン発生回路と、

前記多階調表示データが前記第1階調パターンまたは前記第2階調パターンに基づく前記一表示階調に対応する場合、前記第1階調パターン発生回路または前記第2階調パターン発生回路のいずれか一方の出力に基づいて前記所定の電圧レベルの内の一電圧レベルを選択して出力する選択制御手段とを備えたことを特徴とする多階調表示装置。

【請求項2】 請求項1記載の多階調表示データは、k (kは2よりも大きい正の整数) ビットのデジタル信号であることを特徴とする多階調表示装置。

【請求項3】 請求項2記載の多階調表示装置は、2よりも少ない電圧レベルを供給する階調電圧発生回路を備えていることを特徴とする多階調表示装置。

【請求項4】 多階調表示データに基づいて電圧レベル群の内の一電圧レベルを選択して画像表示を行なう複数の表示画素を備えた表示パネルと、

m (mは2以上の正の整数) フレーム期間で一表示階調が得られる第1階調パターンを発生する第1階調パターン発生回路と、

mフレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを発生する第2階調パターン発生回路と、

入力されるk (kは2よりも大きい正の整数) ビット多階調表示データを1ビット多階調表示データに変換する表示データ変換手段と、

kビット多階調表示データが前記第1もしくは第2階調パターンに基づく一表示階調に対応する場合は前記1ビット多階調表示データを前記第1もしくは第2階調パターンに基づいて演算処理を施して出力する演算処理回路とを備えたことを特徴とする多階調表示装置。

【請求項5】 請求項4記載の第1及び第2階調パターン発生回路は連続するmフレーム期間で一表示階調が得られるように複数の表示画素を一制御単位として制御することを特徴とする多階調表示装置。

【請求項6】 請求項5記載の第1及び第2階調パターン発生回路はm×m個の表示画素を一制御単位として制御することを特徴とする多階調表示装置。

【請求項7】 請求項6記載の第1階調パターン発生回路はm×m個の階調補償データから成るテーブルがm枚

2

で構成される第1階調パターンを備え、第2階調パターン発生回路はm×m個の階調補償データから成るテーブルがm枚で構成される第2階調パターンを備えていることを特徴とした多階調表示装置。

【請求項8】 請求項5記載の一制御単位は、略正方向に列されていることを特徴とする多階調表示装置。

【請求項9】 請求項6記載の第1階調パターン及び第2階調パターンは、魔法陣に基づき構成されていることを特徴とした多階調表示装置。

【請求項10】 請求項5記載の多階調表示装置において、前記第1階調パターンまたは前記第2階調パターンは、mフレーム期間毎に乱数を発生する乱数発生回路からの出力により選択されることを特徴とする多階調表示装置。

【請求項11】 入力されるk (kは2よりも大きい正の整数) ビット多階調表示データに応じて画像表示を行なう多階調表示方法において、

前記kビット多階調表示データが予め用意された一電圧レベルに対応する場合は前記kビット多階調表示データを前記一電圧レベルに対応する1 (1はkよりも小さい正の整数) ビット多階調表示データに変換して出力し、前記kビット多階調表示データが予め用意された電圧レベルのいずれにも対応しない場合は、前記kビット多階調表示データをm (mは2以上の正の整数) フレーム期間で一表示階調が得られる第1階調パターンを発生する第1階調パターン発生回路と、mフレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを発生する第2階調パターン発生回路のいずれか一方の出力に基づき1ビット多階調表示データに変換して出力することを備えたことを特徴とする多階調表示方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、液晶表示装置、エレクトロルミネッセンス (EL) 表示装置等の表示装置に係り、特に多階調表示を可能とする多階調表示装置および多階調表示方法に関する。

【0002】

【従来の技術】 近年、液晶表示装置に代表される表示装置には、高精細化は勿論のこと、多階調表示の要求が高まっている。各表示画素毎に薄膜トランジスタ (以下、TFTと略称する。) 等のスイッチ素子が設けられて成るアクティブマトリクス型の液晶表示装置を例にとると、各画素電極と、画素電極に対向する対向電極と、画素電極と対向電極との間に保持される液晶組成物とから成り、一表示画素を構成する電極間にはそれぞれ1フレーム (F) 期間の間、所定の電位が保持されることにより画像表示が成される。

【0003】 このような液晶表示装置において、上記した多階調、例えば64 (2<sup>6</sup>) 階調の表示を実現するた

めに画素電極に印加する電圧としては、液晶組成物の劣化を防止するために交流駆動させる必要があることから、 $64 \times 2$ 個もの電圧レベルが必要となってしまう。

【0004】しかし、 $64 \times 2$ 個の電圧レベルを用意することは、駆動回路を構成するICの消費電力の増大、あるいはコストの点においても好ましい方法ではない。そこで、多階調表示を実現する他の方法としては、各画素電極毎に印加される階調電圧の電圧レベルを表示階調に応じて種々異ならしめるのではなく、その電圧の印加期間、即ちパルス幅を変更して、各階調に応じた表示を実現する、いわゆるパルス幅変調方式が知られている。しかしながら、このような方法も、 $64(2^6)$ 階調等の多階調の表示においては駆動回路の複雑化や制御の困難性を招くといった問題がある。

【0005】

【発明が解決しようとする課題】上述した問題点を解決する他の方法として、連続する複数のフレーム(F)期間を1周期として1表示期間を構成し、1表示期間内でONされるフレーム(F)期間を制御して多階調表示を実現する、いわゆるフレーム・レイト・コントロール(FRC)方式が知られている。また、例えば特開平2-115893号等には、上記したFRC方式に加え、複数の隣接表示画素を一制御単位とし、隣接表示画素間でONされるフレーム(F)期間を異ならしめることにより、フリッカ等の発生を防止する方法も知られている。

【0006】このようなFRC方式によれば、複数の階調電圧を不要にでき、しかも上記したパルス幅変調方式の不都合も解消することができる。しかしながら、このようなFRC方式により、一層の多階調表示を実現させるためには、1表示期間を構成するフレーム(F)期間数を更に増大させる必要がある。例えば、 $64(2^6)$ 階調等の多階調表示を実現させようすると、フレーム(F)期間数の増大に伴い、視覚的に多階調表示が認識されなくなったり、フリッカの発生を招くといった問題を引き起こしてしまう。

【0007】この発明は、上記した技術課題に対処して成されたものであって、フリッカ等の発生がなく、しかも表示品位を損なうことがない多階調表示を実現することができる多階調表示装置および多階調表示方法を提供することを目的としている。

【0008】

【課題を解決するための手段】請求項1に記載される発明は、入力される多階調表示データに応じて所定の電圧レベルが選択されて画像表示を行なう多階調表示装置において、複数の表示画素を備えた表示パネルと、 $m$ ( $m$ は2以上の正の整数)フレーム期間で一表示階調が得られる第1階調パターンを備えた第1階調パターン発生回路と、 $m$ フレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを備えた第

2階調パターン発生回路と、前記多階調表示データが前記第1階調パターンまたは前記第2階調パターンに基づく前記一表示階調に対応する場合、前記第1階調パターン発生回路または前記第2階調パターン発生回路のいずれか一方の出力に基づいて前記所定の電圧レベルの内の一電圧レベルを選択して出力する選択制御手段とを備えたことを特徴としている。

【0009】請求項2記載の発明は、請求項1記載の多階調表示データは、 $k$ ( $k$ は2よりも大きい正の整数)ビットのデジタル信号であることを特徴としている。請求項3記載の発明は、請求項2記載の多階調表示装置は、 $2^{k+1}$ よりも少ない電圧レベルを供給する階調電圧発生回路を備えていることを特徴としている。

【0010】請求項4記載の発明は、多階調表示データに基づいて電圧レベル群の内の一電圧レベルを選択して画像表示を行なう複数の表示画素を備えた表示パネルと、 $m$ ( $m$ は2以上の正の整数)フレーム期間で一表示階調が得られる第1階調パターンを発生する第1階調パターン発生回路と、 $m$ フレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを発生する第2階調パターン発生回路と、入力される $k$ ( $k$ は2よりも大きい正の整数)ビット多階調表示データを $j$ ビット多階調表示データに変換する表示データ変換手段と、 $k$ ビット多階調表示データが前記第1もしくは第2階調パターンに基づく一表示階調に対応する場合は前記 $j$ ビット多階調表示データを前記第1もしくは第2階調パターンに基づいて演算処理を施して出力する演算処理回路とを備えたことを特徴としている。

【0011】請求項5記載の発明は、請求項4記載の第1及び第2階調パターン発生回路は連続する $m$ フレーム期間で一表示階調が得られるように複数の表示画素を一制御単位として制御することを特徴としている。

【0012】請求項6記載の発明は、請求項5記載の第1及び第2階調パターン発生回路は $m \times m$ 個の表示画素を一制御単位として制御することを特徴としている。請求項7記載の発明は、請求項6記載の第1階調パターン発生回路は $m \times m$ 個の階調補償データから成るテーブルが $m$ 枚で構成される第1階調パターンを備え、第2階調パターン発生回路は $m \times m$ 個の階調補償データから成るテーブルが $m$ 枚で構成される第2階調パターンを備えていることを特徴としている。

【0013】請求項8記載の発明は、請求項5記載の一制御単位は、略正方配列されていることを特徴としている。請求項9記載の発明は、請求項6記載の第1階調パターン及び第2階調パターンは、魔法陣に基づき構成されていることを特徴としている。

【0014】請求項10記載の発明は、請求項5記載の多階調表示装置において、前記第1階調パターンまたは前記第2階調パターンは、 $m$ フレーム期間毎に乱数を発生する乱数発生回路からの出力により選択されることを

特徴としている。

【0015】また、請求項11に記載される発明は、入力される $k$  ( $k$ は2よりも大きい正の整数) ビット多階調表示データに応じて画像表示を行なう多階調表示方法において、前記 $k$ ビット多階調表示データが予め用意された一電圧レベルに対応する場合は前記 $k$ ビット多階調表示データを前記一電圧レベルに対応する1 ( $1$ は $k$ よりも小さい正の整数) ビット多階調表示データに変換して出力し、前記 $k$ ビット多階調表示データが予め用意された電圧レベルのいずれにも対応しない場合は、前記 $k$ ビット多階調表示データを $m$  ( $m$ は2以上の正の整数) フレーム期間で一表示階調が得られる第1階調パターンを発生する第1階調パターン発生回路と、 $m$ フレーム期間で前記一表示階調が得られる前記第1階調パターンと異なる第2階調パターンを発生する第2階調パターン発生回路のいずれか一方の出力に基づき1ビット多階調表示データに変換して出力することを備えたことを特徴としている。

【0016】

【作用】この発明の多階調表示装置および方法によれば、上記したように、 $m$  ( $m$ は2以上の正の整数) フレーム期間で一表示階調が得られる第1階調パターンを発生する第1の階調パターン発生回路と、 $m$ フレーム期間で一表示階調が得られる第1階調パターンと異なる第2階調パターンを発生する第2階調パターン発生回路とを備えている。

【0017】そして、入力される多階調表示データが、第1階調パターン、第2階調パターンの表示階調に対応する場合、第1階調パターン発生回路と第2階調パターン発生回路のいずれか一方の出力に応じて予め用意された所定の電圧レベルに対応するよう変換される。このため、予め用意されない電圧レベルに対応する階調表示が可能となる。

【0018】また、一表示階調が、少なくとも2種類以上の異なる階調パターンに基づいて制御されるため、多階調表示を実現する際にもフリッカ等の発生がなく、しかも表示品位を損なうことなく多階調表示を実現することができる。

【0019】

【実施例】以下に本発明の一実施例として、64 (2<sup>6</sup>) 階調表示を行うアクティブマトリクス型の液晶表示装置を例にとり、図面を参照して説明する。この液晶表示装置(1)は、図1に示すように、(640×3)行×480列でマトリクス状に配列される表示画素を備えたカラー表示が可能な液晶パネル(11)と、この液晶パネル(11)に電気的に接続されるXドライバ(101)およびYドライバ(201)と、これらXドライバ(101)およびYドライバ(201)を制御する液晶コントローラ(251)と、外部から入力される6ビット階調表示データを4ビット階調データに変換して液晶コントローラ(251)に出力する階

調信号変換回路(300)と、図3に示すように1フレーム(F)期間毎に基準電圧に対して極性反転される16個の方形波電圧からなる階調電圧( $V_0, V_1, V_2 \dots V_{15}$ )をXドライバ(101)に出力する階調電圧発生回路(501)とを備えて構成されている。尚、この実施例では、フレーム反転駆動を例にとっているが、よりフリッカ等の発生を防止するために、フレーム反転駆動にライン反転駆動等を組み合わせる場合は、1フレーム(F)期間毎に基準電圧に対して極性反転されると共に、所定の水平走査期間毎にも基準電圧に対して極性反転される方形波電圧を階調電圧( $V_0, V_1, V_2 \dots V_{15}$ )として用いると良い。

【0020】この液晶パネル(11)は、いわゆるアクティブマトリクス型と呼ばれ、各表示画素電極(21)毎にTFT(31)が設けられている。TFT(31)に接続される走査線(13)には、シフトレジスタで構成されるYドライバ(201)から走査パルス( $V_G$ )が供給され、所定期間、TFT(31)が導通状態となる。これにより、Xドライバ(101)に接続された信号線(15)からの階調電圧がTFT(31)を介して表示画素電極(21)に書き込まれ、液晶容量( $C_{lc}$ )と、補助容量線(51)によって液晶容量( $C_{lc}$ )と並列に設けられる補助容量( $C_s$ )とに1フレーム(F)期間保持され画像表示が成される仕組みとなっている。

【0021】Xドライバ(101)は、図2に示すように入力される4ビット階調表示データをシフトクロック( $CK$ )とスタートパルス( $ST$ )に基づいて順次転送するシフトレジスタ(111)と、シフトレジスタ(111)からの出力を変換するデコーダ(113)と、デコーダ(113)出力に応じて16個の階調電圧( $V_0, V_1, \dots V_{15}$ )の内の一つを選択して出力する選択回路(115)と、この出力を所定期間保持するラッチ回路(117)とを備えている。

【0022】次に、この液晶表示装置(1)の階調信号変換回路(300)について説明する。この階調信号変換回路(300)は、外部から入力される6ビット階調表示データを、階調電圧発生回路(501)に用意された16個の階調電圧( $V_0, V_1, \dots V_{15}$ )のいずれかに対応する4ビット階調表示データに変換する階調制御回路(303)を備えている。

【0023】また、この階調信号変換回路(300)は、入力される6ビット階調表示データが階調電圧発生回路(501)に予め用意された階調電圧に対応する場合、変換された4ビット階調表示データを演算処理することなく出力し、また入力される6ビット階調表示データが階調電圧発生回路(501)に予め用意された階調電圧の中間の電圧レベルに対応する階調に相当する場合、この中間の階調を表現するための演算処理を施した後に出力する演算処理回路(351)とを備えている。

【0024】そして演算処理回路(351)は、第1階調パターン発生回路(321a)、第2階調パターン発生回路(321

b)、第3階調パターン発生回路(321c)および第4階調パターン発生回路(321d)に選択回路(341)を介してそれぞれ接続されている。

【0025】この選択回路(341)は、外部から入力される6ビット階調表示データが、予め階調電圧発生回路(501)に用意された階調電圧間の中間の表示階調に対応する場合、6フレーム(F)期間毎に乱数を発生する乱数発生回路(313)の出力に応じて、これら第1～第4階調パターン発生回路(321a)、(321b)、(321c)、(321d)のいずれか一つを選択する。この実施例によれば、乱数発生回路(313)の出力が{0}の場合は第1階調パターン発生回路(321a)が、乱数発生回路(313)の出力が{1}の場合は第2階調パターン発生回路(321b)が、乱数発生回路(313)の出力が{2}の場合は第3階調パターン発生回路(321c)が、乱数発生回路(313)の出力が{3}の場合は第4階調パターン発生回路(321d)がそれぞれ選択されるように構成されている。

【0026】第1～第4階調パターン発生回路(321a)、(321b)、(321c)、(321d)は、液晶パネル(11)の表示画面領域を、図4に示すように、隣合う6行、6列で構成された四角形状を成す36個の表示画面(6×6マトリクス)を一制御単位とし、一表示画面を80行×240列のブロックに区切って制御するものである。そして、各階調パターン発生回路(321a)、(321b)、(321c)、(321d)は、連続する6フレーム(F)期間を一表示期間として各制御単位を制御するものである。したがって、各階調パターンは、一表示階調を実現するための36個の階調補償データから成るテーブルが6枚で一表示階調を実現するように構成され、各階調パターン発生回路(321a)、(321b)、(321c)、(321d)には、このような階調パターン

【0027】また、各階調パターン発生回路(321a)、(321b)、(321c)、(321d)は、各階調パターンの第1～第6テーブルの一つを選択する6フレームカウンタ、一テーブル中から表示画面に対応した階調補償データを得るための6ラインカウンタおよび6カラムカウンタから成る指定回路(311)に接続されている。

【0028】このようにして構成される階調信号変換回路(300)によれば、外部から入力される6ビット階調表示データを階調制御回路(303)により4ビット階調表示データに変換すると共に、6ビット階調表示データが階調電圧発生回路(501)に予め用意された階調電圧に対応する場合、変換された4ビット階調表示データを演算処理回路(351)で演算処理することなく液晶コントローラ(251)を介してXドライバ(101)に出力し、また6ビット階調表示データが階調電圧発生回路(501)に予め用意された階調電圧の中間の電圧レベルの階調に相当する場合、選択回路(341)によって選択された階調パターン発生回路(321a)、(321b)、(321c)、(321d)の階調補償データに基づいて演算処理回路(351)で演算処理し、この演算

処理が施された4ビット階調表示データを液晶コントローラ(251)を介してXドライバ(101)に出力する。

【0029】以下に、この実施例の液晶表示装置(1)で用いられている中間の表示階調を実現する手法について詳述する。16個の方形波電圧で構成される階調電圧(V0, V1, …, V15)が用意される液晶表示装置では、各階調電圧(V0, V1, …, V15)の一つを選択することにより16階調の画像表示が可能となる。そこで、この液晶表示装置(1)では、16個の方形波電圧で構成される階調電圧(V0, V1, …, V15)を用い、64階調の画像表示を実現するため、次のような表示動作を行う。

【0030】一階調電圧(V1) (i=0,1,2, …, 14)と、これに隣接する他の階調電圧(V1+1)との中間の1/6階調を実現するために、連続する6フレーム(F)期間中、5フレーム(F)期間は階調電圧(V1)を、残りの1フレーム(F)期間は階調電圧(V1+1)を選択するよう制御する。一階調電圧(V1)と、これに隣接する階調電圧(V1+1)の間の2/6階調を実現するために、連続する6フレーム(F)期間中、4フレーム(F)期間は階調電圧(V1)を、残りの2フレーム(F)期間は階調電圧(V1+1)を選択するよう制御する。また、一階調電圧(V1)と、これに隣接する階調電圧(V1+1)の間の3/6階調を実現するために、連続する6フレーム(F)期間中、3フレーム(F)期間は階調電圧(V1)を、残りの3フレーム(F)期間は階調電圧(V1+1)を選択するよう制御する。また、一階調電圧(V1)と、これに隣接する階調電圧(V1+1)との中間の4/6階調を実現するために、連続する6フレーム(F)期間中、2フレーム(F)期間は階調電圧(V1)を、残りの4フレーム(F)期間は階調電圧(V1+1)を選択するよう制御する。更に、一階調電圧(V1)と、これに隣接する階調電圧(V1+1)との中間の5/6階調を実現するために、連続する6フレーム(F)期間中、1フレーム(F)期間は階調電圧(V1)を、残りの5フレーム(F)期間は階調電圧(V1+1)を選択するよう制御する。

【0031】以上のように、フレーム(F)期間の制御と16個の階調電圧(V0, V1, …, V15)との組み合わせにより、図5に示す如く、理論的には91階調を実現することができる。そして、この実施例では、91階調中から特に表示状態の好ましい64階調を選択して64階調の画像表示を実現する。例えば、この実施例では、91階調中から、階調電圧(V0)と階調電圧(V1)との間の1/6階調(図5中の理論階調2)と5/6階調(図5中の理論階調6)、階調電圧(V1)と階調電圧(V2)との間の1/6階調(図5中の理論階調8)を表示に用い、他の階調電圧(V1)と階調電圧(V1+1)との間の1/6階調および5/6階調は表示

に用いていない。これは、1/6階調あるいは5/6階調は、表示画像によってはフリッカが視認されることもあるため、階調を認識しにくい領域でのみ使用した。

【0032】次に、この実施例で用いられる各階調パターンについて説明する。この実施例の各階調パターンの選定は、魔法陣の概念に基づいて考えられている。魔法陣とは、例えばN行、N列のN×Nマトリクスの各マトリクスに1からN<sup>2</sup>までの数字が、各行および各列での数字の合計がいずれも等しくなるように割り当てられて構成されるものである。また、更に各斜列で数字の合計も等しくなるように割り当てられて構成されるものが完全魔法陣である。

【0033】この実施例の階調パターンは、6×6マトリクスで構成されるものであって、完全魔法陣が存在しないマトリクス[(4r+2)×(4r+2)マトリクス:rは1以上の正数]であることから、魔法陣に基づいて構成されている。

【0034】図6に、6×6マトリクスの魔法陣において、1～6の数字が割り当てられたマトリクスに1を、7～12の数字が割り当てられたマトリクスに2を、13～18の数字が割り当てられたマトリクスに3を、19～24の数字が割り当てられたマトリクスに4を、25～30の数字が割り当てられたマトリクスに5を、31～36の数字が割り当てられたマトリクスに6がそれぞれ割り当てられた補助魔法陣を示している。

【0035】このようにして魔法陣から構成される補助魔法陣を用い、各階調パターンは以下のようにして選定されている。一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の1/6階調を実現するのであれば、連続する6フレーム(F)期間中の1フレーム(F)期間だけ階調電圧(V<sub>i+1</sub>)を選択し、他の5フレーム(F)期間は階調電圧(V<sub>i</sub>)を選択するよう制御すれば良い。そこで、図7(a)に示すように、図6における1の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの1/6階調を実現するための6テーブル中の第1テーブルを構成する。また、図7(b)に示すように、図6における2の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの2/6階調を実現するための6テーブル中の第2テーブルを、3の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの3/6階調を実現するための6テーブル中の第3テーブルを、4の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの4/6階調を実現するための6テーブル中の第4テーブルを、5の数字が割り当てられたマトリクスに階調補償データ{1}を割り当

て、他は階調補償データ{0}を割り当てて第1階調パターンの1/6階調を実現するための6テーブル中の第5テーブルを、更に6の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて第1階調パターンの1/6階調を実現するための6テーブル中の第6テーブルをそれぞれ構成する。

【0036】このようにして構成される第1～第6テーブルを6フレーム(F)期間を1表示期間として順次繰り返すことにより、6フレーム(F)期間で階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の1/6階調が実現できる。

【0037】また、一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の2/6階調を実現する場合は、連続する6フレーム(F)期間中の2フレーム(F)期間だけ階調電圧(V<sub>i+1</sub>)を選択し、他の4フレーム(F)期間は階調電圧(V<sub>i</sub>)を選択するよう制御すれば良い。そこで、図6に示す1, 2の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの2/6階調を実現するための6テーブル中の第1テーブルを構成する。また、図6に示す3, 4の数字が割り当てられたマトリクスに階調補償データ{1}を割り当て、他は階調補償データ{0}を割り当てて、第1階調パターンの2/6階調を実現するための6テーブル中の第2テーブルを構成する。また、同様にして第1階調パターンの2/6階調を実現するための6テーブル中の第3～第6テーブルを構成する。

【0038】同様にして、一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の2/6階調を実現するための第1～第6テーブル(図8参照)、一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の3/6階調を実現するための第1～第6テーブル(図9参照)、一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の4/6階調を実現するための第1～第6テーブル(図10参照)、一表示画素が階調電圧(V<sub>i</sub>)とこれに隣接する階調電圧(V<sub>i+1</sub>)との間の5/6階調を実現するための第1～第6テーブル(図11参照)をそれぞれ構成する。

【0039】以上のようにして構成される図7～11に示す階調パターンが、第1階調パターン発生回路(321a)に記憶されている。また、他の魔法陣に基づいて構成される階調パターンが、第2～4階調パターン発生回路(321b), (321c), (321d)にそれぞれ記憶されている。

【0040】図12に第2階調パターン発生回路(321b)に記憶される2/6階調を表現するための階調パターンを、図13に第3階調パターン発生回路(321c)に記憶される2/6階調を表現するための階調パターンを、図14に第3階調パターン発生回路(321c)に記憶される2/

6階調を表現するための階調パターンをそれぞれ示して  
る。

【0041】そして、このような各階調パターンは、RAMで構成される各階調パターン発生回路(321a)、(321b)、(321c)、(321d)に予め記憶されている。次に、図15に示す液晶パネルの一表示状態を参照して、この実施例の具体的な動作について説明する。

【0042】まず、表示画素(1, 1)に第1階調を表示させる場合は、第1階調に対応する6ビット階調表示データ{000000}が入力される。この6ビット階調表示データ{000000}は、階調制御回路(303)によって16個の階調電圧(V0, V1, …V15)に対応する4ビット階調信号{0000}に変換される。そして、この第1階調を表示させるための6ビット階調表示データ{000000}は用意された16個の階調電圧(V0, V1, …V15)の内、階調電圧(V0)に対応することから、演算処理回路(351)では演算処理されることなく4ビット階調データ{0000}が液晶コントローラ(251)を介してXドライバ(101)に出力される。そして、Xドライバ(101)により、この4ビット階調データ{0000}に基づいて階調電圧(V0)が選択され出力されることとなり、表示画素(1, 1)には第1階調が表示される。

【0043】表示画素(1, 2)に第4階調を表示させる場合は、第4階調に相当する6ビット階調表示データ{000011}が入力される。この6ビット階調表示データ{000011}は、階調制御回路(303)によって16個の階調電圧(V0, V1, …V15)に対応する4ビット階調信号{0000}に変換される。そして、この第4階調を表示させるための6ビット階調表示データ{000011}は用意された16個の階調電圧(V0, V1, …V15)に対応しない中間階調、即ち階調電圧(V0)と階調電圧(V1)の中間にある3/6階調に相当する。

【0044】そこで、階調制御回路(303)からの出力によって乱数発生回路(313)は{0}から{3}までの乱数を発生し、これに応じて階調パターン発生回路(321a)、(321b)、(321c)、(321d)の3/6階調に対応する一つが選択される。

【0045】ここで、例えば乱数発生回路(313)が{0}を発生し、第1階調パターン発生回路(321a)が選択されたとする。階調パターン発生回路(321a)は、この表示画素(1, 2)に基づき指定回路(311)によって第1フレームの1ライン、2カラムのデータ、即ち図9(a)のテーブル中の階調補償データ{1}を出力する。従って、4ビット階調信号{0000}は、演算処理回路(351)によって階調パターン発生回路(321a)からの階調補償データ{1}が加算処理され、この演算処理回路(351)からの4ビット階調データ{0001}が液晶コントローラ(251)を介してXドライバ(101)に出力

される。そして、Xドライバ(101)により、この4ビット階調データ{0001}に基づいて階調電圧(V1)が選択され出力される。第2フレームも第1フレームと同様に第4階調を表示させるのであれば、同図(b)に示す階調補償データ{0}が演算処理回路(351)で加算処理され、この4ビット階調データ{0000}に基づいて階調電圧(V0)が選択され出力されることとなる。

【0046】更に、第3フレームも第1, 2フレームと同様に第4階調を表示させるのであれば、同図(c)に示す階調補償データ{1}が演算処理回路(351)で加算処理され、この4ビット階調データ{0001}に基づいて階調電圧(V1)が選択され出力されることとなる。更に、第4～第6フレームも同様に第4階調を表示するのであれば、同図(d)～(f)に示す階調補償データに基いて階調電圧(V0)もしくは階調電圧(V1)が選択的に出力される。

【0047】このようにして第4階調を表示させるための6ビット階調表示データ{000011}が入力される場合、連続する6フレームを1表示期間として、第4階調の表示が実現される。

【0048】ところで、上記した場合は、表示画素(2, 1)に入力される6ビット階調表示データが6フレーム(F)期間中のいずれも第4階調を表示させるための6ビット階調表示データ{000011}の場合を示したが、例えば動画等では2フレーム(F)期間では入力される6ビット階調表示データが異なってくる場合がある。

【0049】そこで、2フレーム(F)期間で第5階調、即ち階調電圧(V0)と階調電圧(V1)の中間にある4/6階調に相当する6ビット階調表示データ{000100}が入力された場合について説明する。この6ビット階調表示データ{000100}は、上記したと同様に階調制御回路(303)によって16個の階調電圧(V0, V1, …V15)に対応する4ビット階調信号{0000}に変換される。そして、この第5階調を表示させるための6ビット階調表示データ{000100}は用意された16個の階調電圧(V0, V1, …V15)に対応しない中間調であり、同様に第1階調パターン発生回路(321a)によって制御される。即ち、4ビット階調信号{0000}は、図10(b)に示す第2フレームの1ライン、2カラムの階調補償データ{1}が演算処理回路(351)で加算処理され、4ビット階調データ{0001}が液晶コントローラ(251)を介してXドライバ(101)に出力される。そして、Xドライバ(101)では、この4ビット階調データ{0001}に基づいて階調電圧(V1)が選択され出力されることとなる。

【0050】このように、動画等で入力される6ビット階調表示データが一表示画素においてフレーム(1F)毎に異なってくる場合は、入力される6ビット階調表示データに基づいて各フレーム(1F)毎にそれぞれ表示

を行えば良く、現実に16の階調電圧(V0, V1, … V15)で表現しきれない階調が存在しても、動画で視覚的に階調を区別することは困難となるため問題となることはほとんどない。

【0051】以上のようにして、この実施例における一表示期間である6フレーム(F)期間の表示を行った後、再び階調制御回路(303)からの出力によって乱数発生回路(313)は{0}~{3}までの乱数を発生し、これに応じて階調パターン発生回路(321a), (321b), (321c), (321d)の一つが選択され、いずれか一つの階調パターン発生回路(321a), (321b), (321c), (321d)の階調パターンに基づいて中間の表示階調を実現する。

【0052】以上詳述したように、この実施例では、16個の階調電圧(V0, V1, … V15)のみで64階調表示を実現することができる。そして、この実施例では連続する6フレーム(F)期間を1表示期間として中間調の表示を実現しているにもかかわらず、各階調パターン発生回路(321a), (321b), (321c), (321d)に記憶される各階調パターンは、魔法陣の概念に基づいて構成されているため、フリッカを招くといったことが防止される。

【0053】更に、この実施例では、乱数発生回路(313)によって発生される乱数{0}~{3}に応じて異なる階調パターンを備えた階調パターン発生回路(321a), (321b), (321c), (321d)の一つが選択される構成となっている。これにより、静止画等の表示であっても、階調パターンの変化周期が視人的に確認されフリッカを招くといったことが一層防止される。

【0054】ところで、この実施例では、中間調の表示を、連続する6フレーム(F)期間を1表示期間とし、6×6マトリクスから成る36個の階調補償データから成る階調パターンによって実現する場合について述べたが、連続する7フレーム(F)期間を1周期として7×7マトリクスから成る49個の階調補償データから成る階調パターンを用いても良いし、連続する4フレーム(F)期間を1表示期間として4×4マトリクスから成る16個の階調パターンによって実現する場合とを組み合わせても良い。このように組み合わせる場合は、例えば4フレーム(F)期間を1表示期間として実現される1/4階調、2/4階調および3/4階調と、6フレーム(F)期間を1表示期間として実現される2/6階調、4/6階調をそれぞれ用いると良い。

【0055】ところで、上述した実施例では、16個の階調電圧(V0, V1, … V15)を用意したが、この発明はこれに限定されるものではなく、種々の階調電圧と組み合わせ有効に作用する。

【0056】この実施例では、一制御単位を正方配列される36個の表示画素としたが、何等正方配列である必要はない。更に、この実施例では、予め用意された階調電圧(V0, V1, … V15)の中間の電圧レベルに相当

する表示階調を実現する手法として、連続する複数フレーム(F)期間で隣接する階調電圧のいずれか一方が選択出力されるように構成したが、必ずしも隣接する階調電圧を選択する必要はなく、階調電圧(V1)と階調電圧(V2)との中間の階調表示を行う場合、階調電圧(V0)と階調電圧(V2)あるいは階調電圧(V0)と階調電圧(V3)等を選択するようにしても良く、また複数フレーム(F)期間で2種類以上の階調電圧を選択するように制御しても良い。このような制御により、より少ない階調電圧で一層の多階調化を実現することができる。尚、この実施例では、アクティブマトリクス型の液晶表示装置を例にとり説明したが、この他にも種々の表示装置に適用することができ有効に作用する。

【0057】

【発明の効果】この発明によれば、入力される多階調表示データが予め用意されている電圧レベルの中間の電圧レベルに対応する場合は、この多階調表示データに基づいた複数種の階調パターンから無作為に1つの階調パターンが選択され、この出力に応じて所定の電圧レベルを選択して出力するように選択制御手段によって制御されるため、少ない電圧レベル数で多階調の表示を実現することができるばかりでなく、フリッカの発生も抑えることができ、高品位な表示画像を表示させることができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の液晶表示装置の概略構成図である。

【図2】図2は、図1におけるXドライバの概略構成図である。

【図3】図3は、図1における階調電圧発生回路によって発生される階調電圧波形を示す図である。

【図4】図4は、この実施例の液晶表示装置における制御単位を説明するための図である。

【図5】図5は、この実施例の液晶表示装置における多階調表示の概念を説明するための図である。

【図6】図6は、この実施例の液晶表示装置における一魔法陣に基づき構成される補助魔法陣を示す図である。

【図7】図7は、図1における第1階調パターン発生回路に記憶されている1/6階調を実現するための階調パターンを示す図である。

【図8】図8は、図1における第1階調パターン発生回路に記憶されている2/6階調を実現するための階調パターンを示す図である。

【図9】図9は、図1における第1階調パターン発生回路に記憶されている3/6階調を実現するための階調パターンを示す図である。

【図10】図10は、図1における第1階調パターン発生回路に記憶されている4/6階調を実現するための階調パターンを示す図である。

【図11】図11は、図1における第1階調パターン発生回路に記憶されている5/6階調を実現するための階



調パターンを示す図である。

【図12】図12は、図1における第2階調パターン発生回路に記憶されている2/6階調を実現するための階調パターンを示す図である。

【図13】図13は、図1における第3階調パターン発生回路に記憶されている2/6階調を実現するための階調パターンを示す図である。

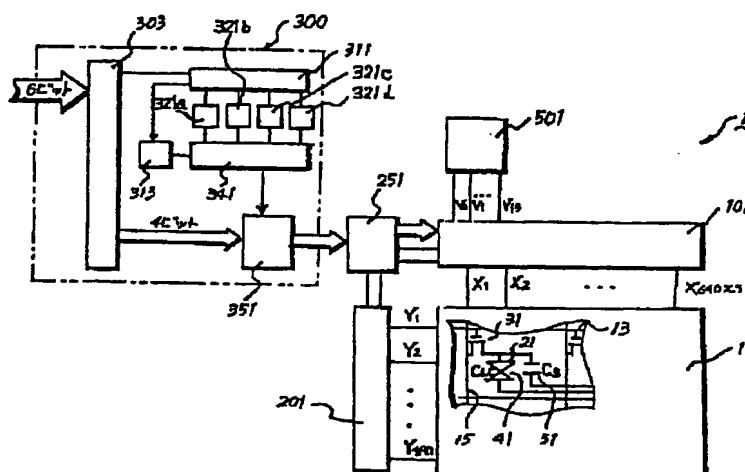
【図14】図14は、図1における第4階調パターン発生回路に記憶されている2/6階調を実現するための階調パターンを示す図である。

【図15】図15は、この実施例の液晶表示装置の一表示例を示す図である。

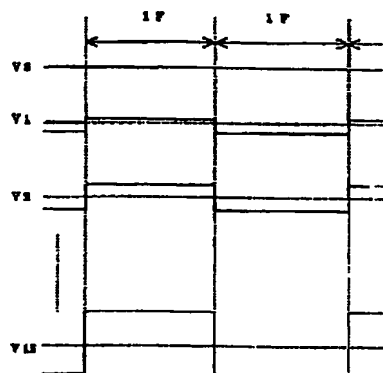
# 【符号の説明】

- (1) …液晶表示装置
- (11) …液晶パネル
- (101) …Xドライバ
- (201) …Yドライバ
- (251) …液晶コントローラ
- (300) …階調信号変換回路
- (311a), (311b), (311c), (311d) …階調パターン発生回路
- (311) …指定回路
- (313) …乱数発生回路
- (341) …選択制御回路

【図1】

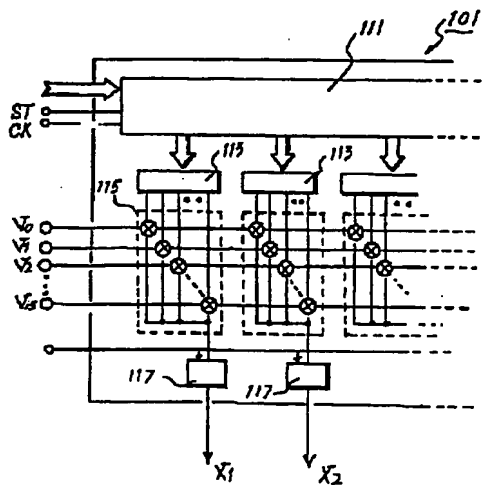


【図3】

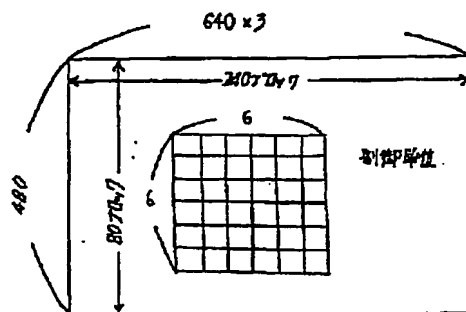


【図6】

【図2】



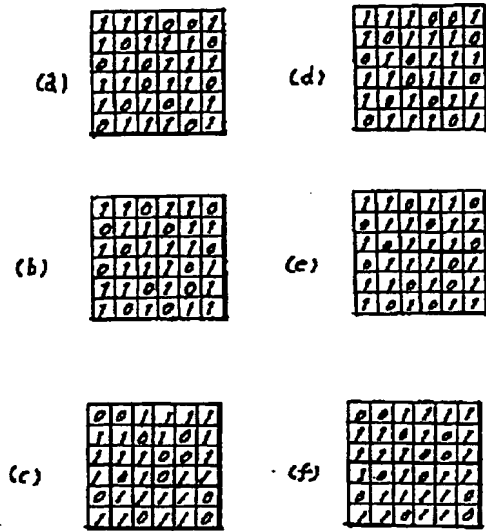
【図4】



1	2	4	6	5	3
3	5	2	4	1	6
6	3	5	1	2	4
4	1	6	2	3	5
2	6	3	5	4	1
5	4	1	3	6	2

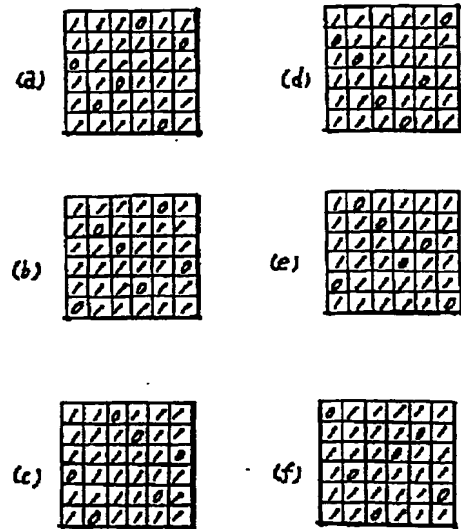


【図10】



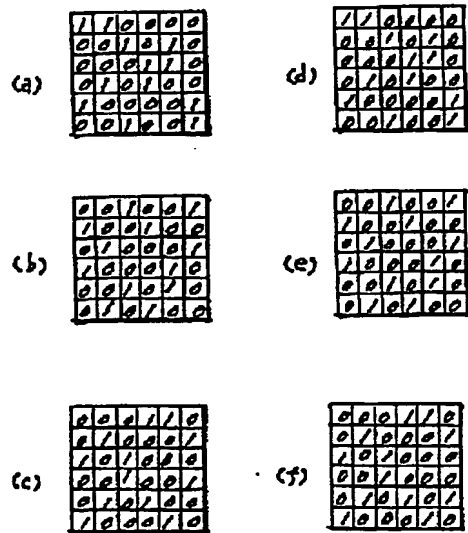
乱数{0}: 4/8

【図11】



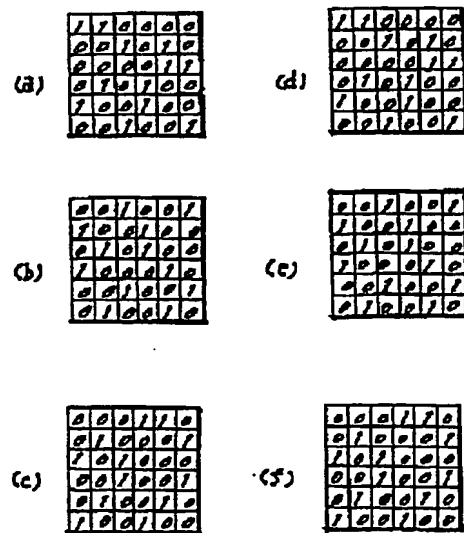
乱数{0}: 5/6

【図12】



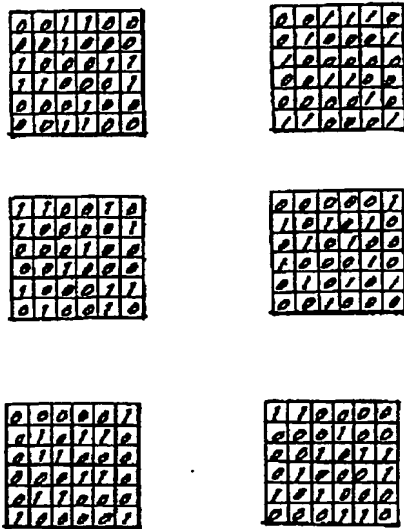
乱数{1}: 2/6

【図13】

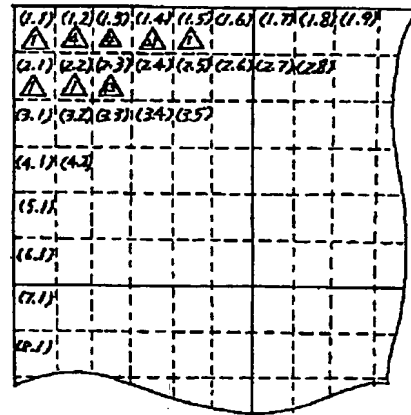


乱数{2}: 2/6

【図14】



【図15】



乱数{3}: 2/6

フロントページの続き

(72)発明者 山本 和義  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(72)発明者 有田 敏  
東京都杉並区上井草1-19-4

(72)発明者 村田 浩義  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

(72)発明者 浜側 裕之  
兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内